



Centro Regional de Entrenamiento  
Argentina

# Introducción a los PIC de Arquitectura Mejorada del Rango Medio





Centro Regional de Entrenamiento  
Argentina

# Agenda:

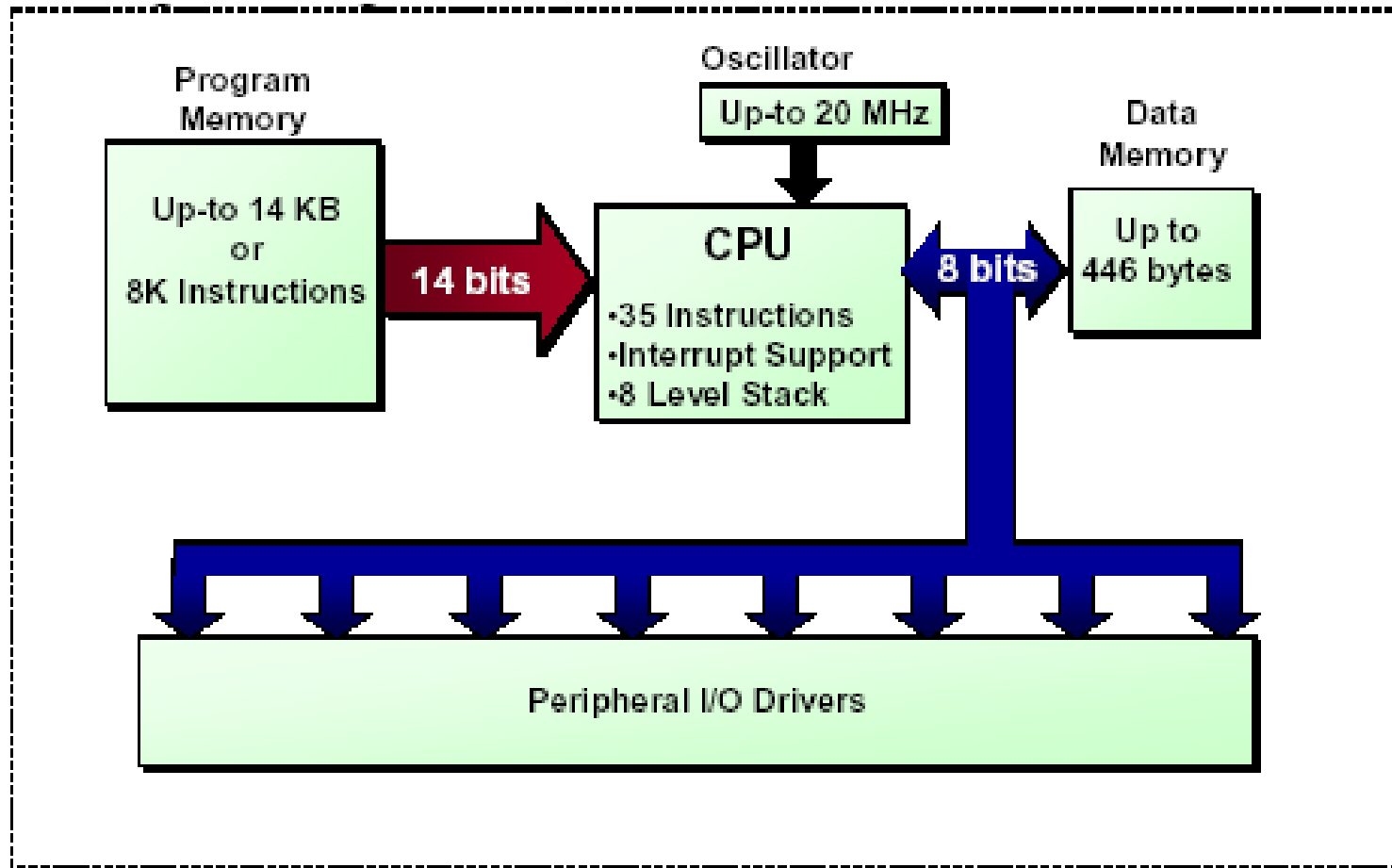
- **Introducción a la Arquitectura del Rango medio Mejorado**
- **Mejorando el Mapa de Memoria de Datos**
- **Nuevas Instrucciones**
- **Direccionamiento indirecto Mejorado**
- **Consideraciones para la Migración**



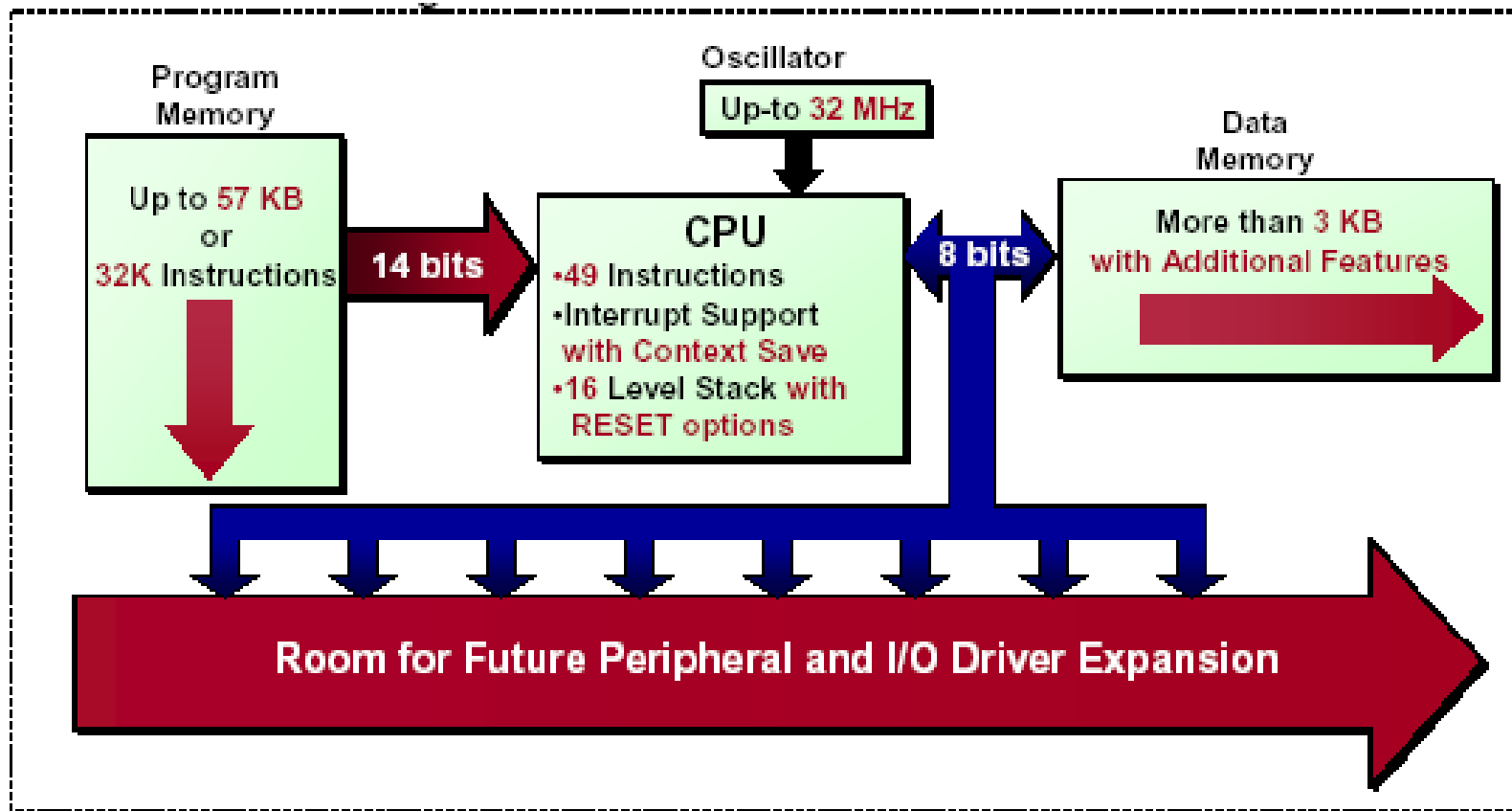
**MICROCHIP**

Centro Regional de Entrenamiento  
Argentina

# Microcontroladores PIC en Existencia



# Arquitectura de los MCU PIC Mejorados del Rango Medio



# Comparativa entre MCUs del Rango Medio

	Existing	Enhanced
Instruction Length	14 (bits)	14 (bits)
Addressable Program Memory	8K (Instructions)	32K (Instructions)
Max RAM and Register space	446 (Bytes)	> 3K (Bytes)
Instruction Count	35	49
Hardware Stack	8	16 With optional RESET Capabilities
Interrupt Handling	Software	Hardware
File Select Registers	1x9 bit	2x16 bit

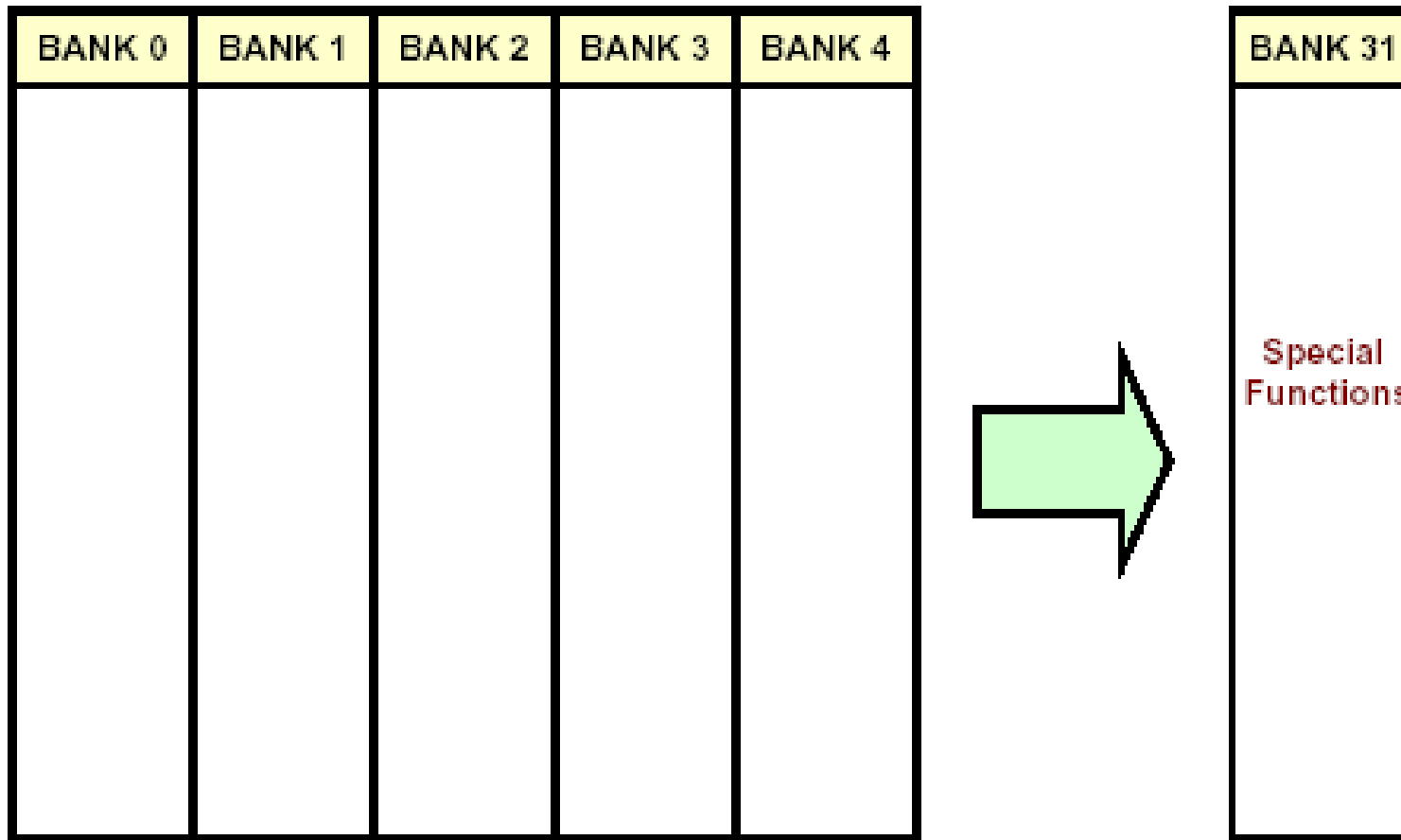


---

Centro Regional de Entrenamiento  
Argentina

# Memoria de Datos

# 32 Bancos de Memoria de Datos












# Registros del Nucleo Comunes a los Bancos

	Address	Register	Function
	0x00	INDF0	Indirect Register 0
<b>NEW</b> →	0x01	INDF1	Indirect Register 1
	0x02	PCL	Program Counter Low
	0x03	STATUS	Status Register
<b>NEW</b> →	0x04	FSR0 Low	File Select Register 0 Low Byte
<b>NEW</b> →	0x05	FSR0 High	File Select Register 0 High Byte
<b>NEW</b> →	0x06	FSR1 Low	File Select Register 1 Low Byte
<b>NEW</b> →	0x07	FSR1 High	File Select Register 1 High Byte
<b>NEW</b> →	0x08	BSR	Bank Select Register
<b>NEW</b> →	0x09	WREG	Working Register
	0x0A	PCLATH	Program Counter Latch High
	0x0B	INTCON	Interrupt Control Register

# Registros del Nucleo Comunes a los Bancos








	Address	Register	Function
	0x00	INDF0	Indirect Register 0
<b>NEW</b> →	0x01	INDF1	Indirect Register 1
	0x02	PCL	Program Counter Low
	0x03	STATUS	Status Register
<b>NEW</b> →	0x04	FSR0 Low	File Select Register 0 Low Byte
<b>NEW</b> →	0x05	FSR0 High	File Select Register 0 High Byte
<b>NEW</b> →	0x06	FSR1 Low	File Select Register 1 Low Byte
<b>NEW</b> →	0x07	FSR1 High	File Select Register 1 High Byte
<b>NEW</b> →	0x08	BSR	Bank Select Register
<b>NEW</b> →	0x09	WREG	Working Register
	0x0A	PCLATH	Program Counter Latch High
	0x0B	INTCON	Interrupt Control Register

# Registros del Nucleo Comunes a los Bancos

Address	Register	Function
0x00	INDF0	Indirect Register 0
 0x01	INDF1	Indirect Register 1
0x02	PCL	Program Counter Low
0x03	STATUS	Status Register
 0x04	FSR0 Low	File Select Register 0 Low Byte
 0x05	FSR0 High	File Select Register 0 High Byte
 0x06	FSR1 Low	File Select Register 1 Low Byte
 0x07	FSR1 High	File Select Register 1 High Byte
 0x08	BSR	Bank Select Register
 0x09	WREG	Working Register
0x0A	PCLATH	Program Counter Latch High
0x0B	INTCON	Interrupt Control Register

**Registro de 5 Bits escribiendo en el se  
selecciona un Banco en un solo ciclo**

# Registros del Nucleo Comunes a los Bancos

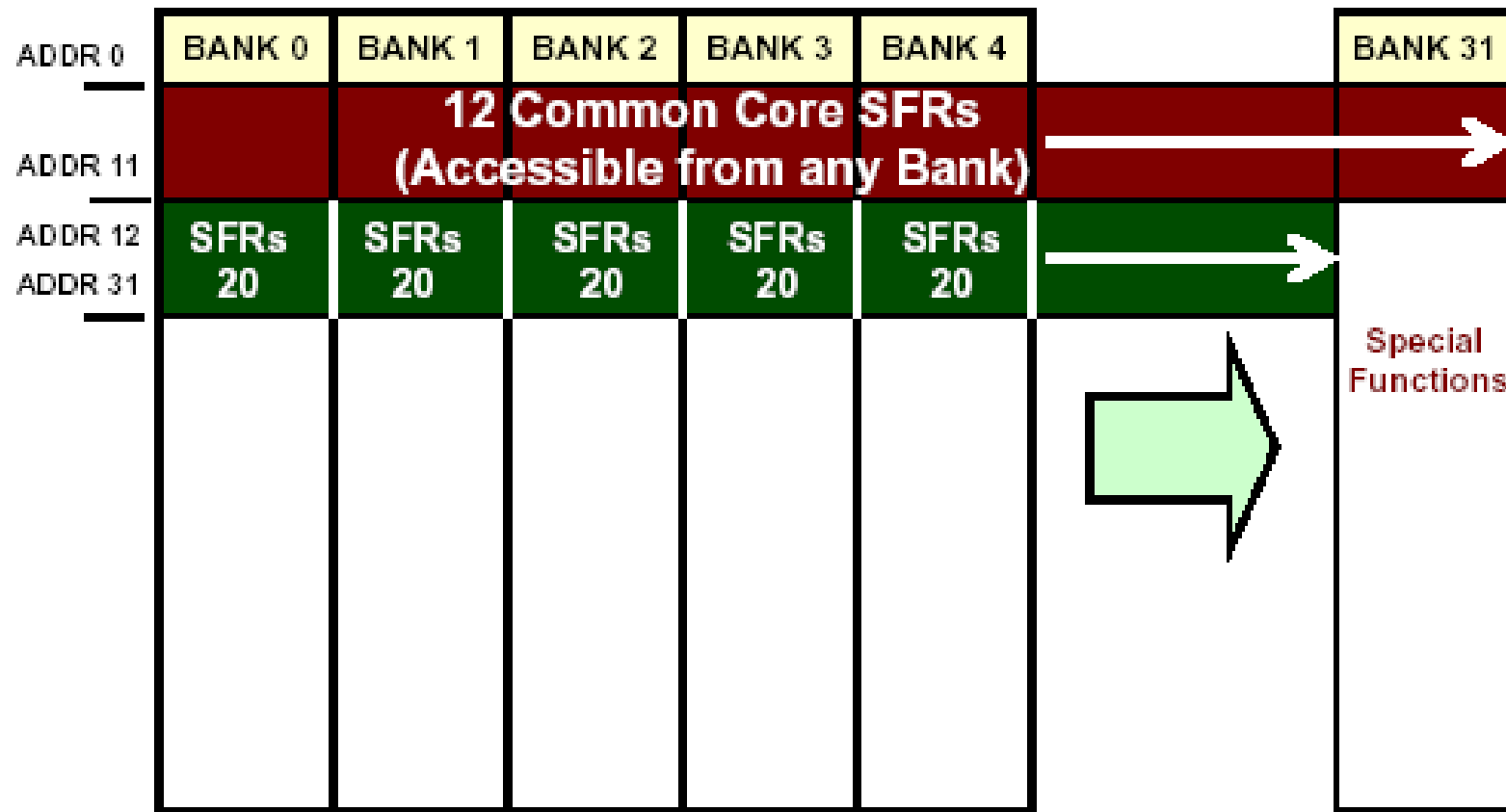
Address	Register	Function
0x00	INDF0	Indirect Register 0
 0x01	INDF1	Indirect Register 1
0x02	PCL	Program Counter Low
0x03	STATUS	Status Register
 0x04	FSR0 Low	File Select Register 0 Low Byte
 0x05	FSR0 High	File Select Register 0 High Byte
 0x06	FSR1 Low	File Select Register 1 Low Byte
 0x07	FSR1 High	File Select Register 1 High Byte
 0x08	BSR	Bank Select Register
 0x09	WREG	Working Register
0x0A	PCLATH	Program Counter Latch High
0x0B	INTCON	Interrupt Control Register

# Registros del Nucleo Comunes a los Bancos

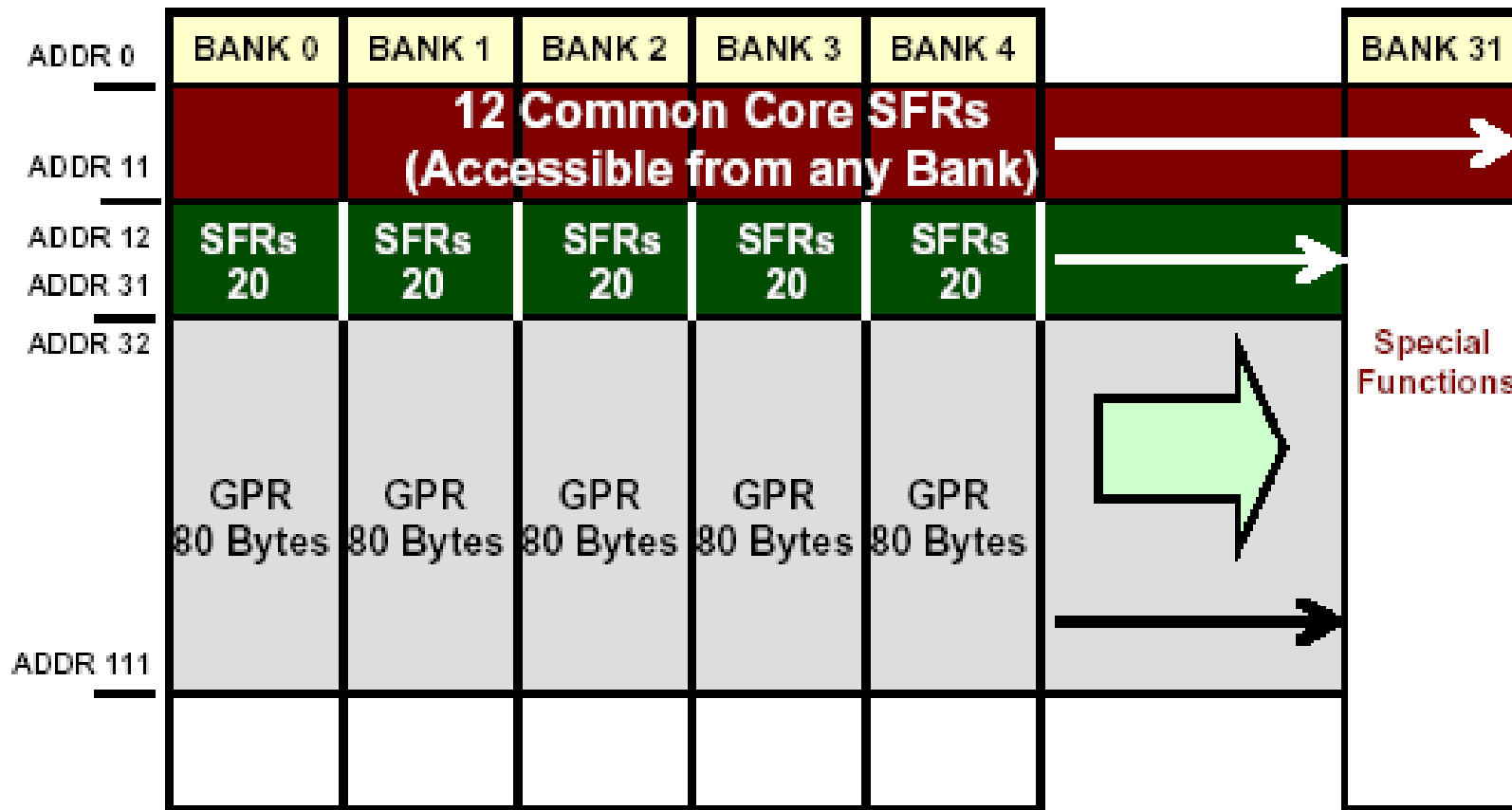
Address	Register	Function	
0x00	INDF0	Indirect Register 0	
<b>NEW</b> →	0x01	INDF1	Indirect Register 1
	0x02	PCL	Program Counter Low
	0x03	STATUS	Status Register
<b>NEW</b> →	0x04	FSR0 Low	File Select Register 0 Low Byte
<b>NEW</b> →	0x05	FSR0 High	File Select Register 0 High Byte
<b>NEW</b> →	0x06	FSR1 Low	File Select Register 1 Low Byte
<b>NEW</b> →	0x07	FSR1 High	File Select Register 1 High Byte
<b>NEW</b> →	0x08	BSR	Bank Select Register
<b>NEW</b> →	0x09	WREG	Working Register
	0x0A	PCLATH	Program Counter Latch High
	0x0B	INTCON	Interrupt Control Register

**Automáticamente salvados durante una interrupción  
y automáticamente recuperados en un RETFIE**

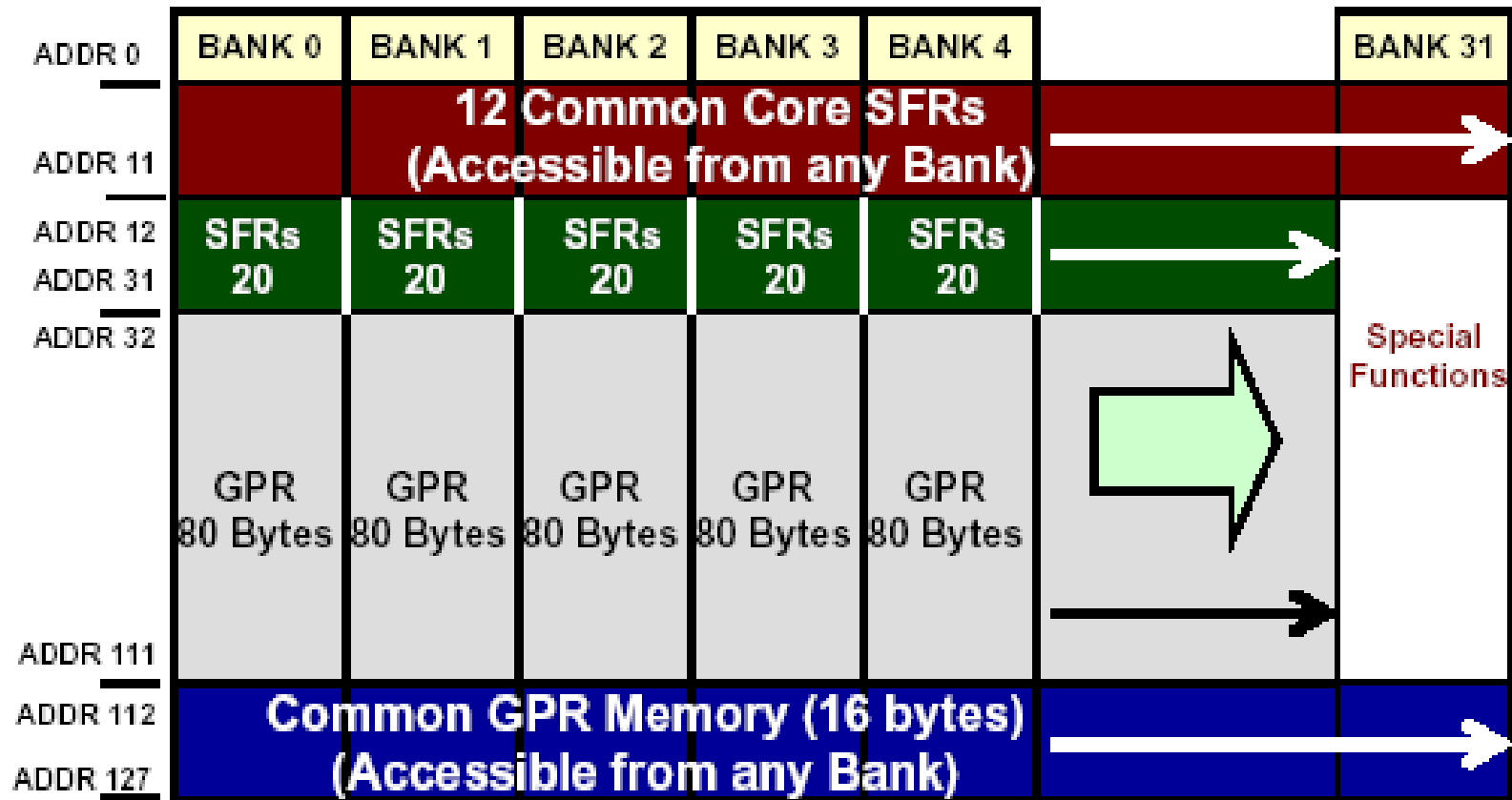
# Registros de Funciones Especiales



# Registros de Propósitos Generales



# Registros de Propósitos Generales Comunes



# Banco 31 Funciones Especiales

- **Provee Acceso al:**
  - Provee Acceso al STACK y registros de Debugging
  - Acceso a los Registros de Salvado de Contexto durante Interrupciones





---

Centro Regional de Entrenamiento  
Argentina

# Nuevas Instrucciones



# Nuevas Instrucciones

Mnemonic	Description
ADDWFC	Add W+F with Carry
SUBWFB	Subtract F-W with Borrow
LSLF	Logical Shift Left
LSRF	Logical Shift Right
ASRF	Arithmetic Shift Right
MOVLP	Move Literal to PCLATH
MOVLB	Move Literal to BSR
BRA	Branch Relative (signed)
BRW	Branch PC + W (unsigned)
CALLW	Call PCLATH:W
ADDFSR	Add Literal to FSRn (signed)
MOVIW	Move indirect to W
MOVWI	Move W to Indirect
RESET	Reset Hardware & Software

# Nuevas Instrucciones

- **Nuevas Instrucciones de Desplazamiento Lógico y Aritméticas**

Mnemonic	Description
ADDWFC	Add W+F with Carry
SUBWFB	Subtract F-W with Borrow
LSLF	Logical Shift Left
LSRF	Logical Shift Right
ASRF	Arithmetic Shift Right
MOVLP	Move Literal to PCLATH
MOVLB	Move Literal to BSR
BRA	Branch Relative (signed)
BRW	Branch PC + W (unsigned)
CALLW	Call PCLATH:W
ADDFSR	Add Literal to FSRn (signed)
MOVIW	Move indirect to W
MOVWI	Move W to Indirect
RESET	Reset Hardware & Software

# Nuevas Instrucciones

- **Paginado y Banqueado en un ciclo**

Mnemonic	Description
ADDWFC	Add W+F with Carry
SUBWFB	Subtract F-W with Borrow
LSLF	Logical Shift Left
LSRF	Logical Shift Right
ASRF	Arithmetic Shift Right
<b>MOVLP</b>	<b>Move Literal to PCLATH</b>
<b>MOVLB</b>	<b>Move Literal to BSR</b>
BRA	Branch Relative (signed)
BRW	Branch PC + W (unsigned)
CALLW	Call PCLATH:W
ADDFSR	Add Literal to FSRn (signed)
MOVIW	Move indirect to W
MOVWI	Move W to Indirect
RESET	Reset Hardware & Software

# Nuevas Instrucciones

- **Salto relativos  
y Tablas  
Rápidas**

Mnemonic	Description
ADDWFC	Add W+F with Carry
SUBWFB	Subtract F-W with Borrow
LSLF	Logical Shift Left
LSRF	Logical Shift Right
ASRF	Arithmetic Shift Right
MOVLP	Move Literal to PCLATH
MOVLB	Move Literal to BSR
<b>BRA</b>	<b>Branch Relative (signed)</b>
<b>BRW</b>	<b>Branch PC + W (unsigned)</b>
<b>CALLW</b>	<b>Call PCLATH:W</b>
ADDFSR	Add Literal to FSRn (signed)
MOVIW	Move indirect to W
MOVWI	Move W to Indirect
RESET	Reset Hardware & Software

# Nuevas Instrucciones

- Instrucción de soporte FSR

Mnemonic	Description
ADDWFC	Add W+F with Carry
SUBWFB	Subtract F-W with Borrow
LSLF	Logical Shift Left
LSRF	Logical Shift Right
ASRF	Arithmetic Shift Right
MOVLP	Move Literal to PCLATH
MOVLB	Move Literal to BSR
BRA	Branch Relative (signed)
BRW	Branch PC + W (unsigned)
CALLW	Call PCLATH:W
<b>ADDFSR</b>	<b>Add Literal to FSRn (signed)</b>
<b>MOVIW</b>	<b>Move indirect to W</b>
<b>MOVWI</b>	<b>Move W to Indirect</b>
RESET	Reset Hardware & Software

# Nuevas Instrucciones

- **Nuevo RESET por Software**

Mnemonic	Description
ADDWFC	Add W+F with Carry
SUBWFB	Subtract F-W with Borrow
LSLF	Logical Shift Left
LSRF	Logical Shift Right
ASRF	Arithmetic Shift Right
MOVLP	Move Literal to PCLATH
MOVLB	Move Literal to BSR
BRA	Branch Relative (signed)
BRW	Branch PC + W (unsigned)
CALLW	Call PCLATH:W
ADDFSR	Add Literal to FSRn (signed)
MOVIW	Move indirect to W
MOVWI	Move W to Indirect
<b>RESET</b>	<b>Reset Hardware &amp; Software</b>



**MICROCHIP**

---

Centro Regional de Entrenamiento  
Argentina

# **Direccionamiento Indirecto Mejorado**

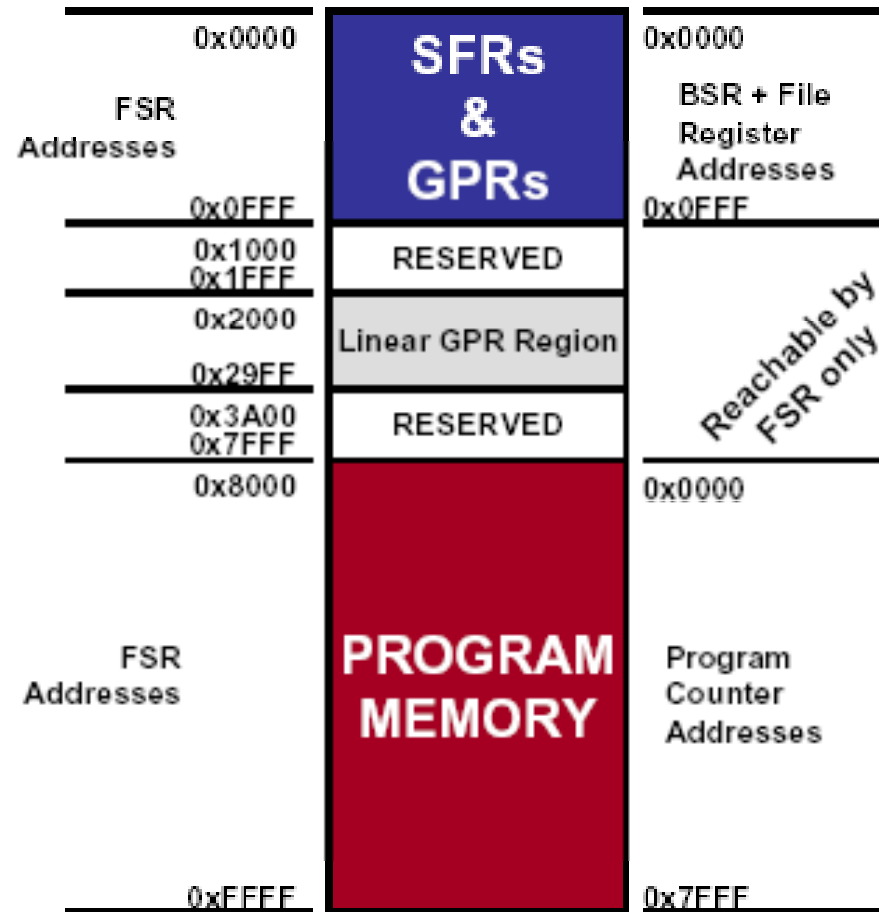


# 2 Registros FSRs (File Select Register) de 16Bits

Address	Register	Function
0x00	INDF0	Indirect Register 0
0x01	INDF1	Indirect Register 1
0x02	PCL	Program Counter Low
0x03	STATUS	Status Register
0x04	FSR0 Low	File Select Register 0 Low Byte
0x05	FSR0 High	File Select Register 0 High Byte
0x06	FSR1 Low	File Select Register 1 Low Byte
0x07	FSR1 High	File Select Register 1 High Byte
0x08	BSR	Bank Select Register
0x09	WREG	Working Register
0x0A	PCLATH	Program Counter Latch High
0x0B	INTCON	Interrupt Control Register

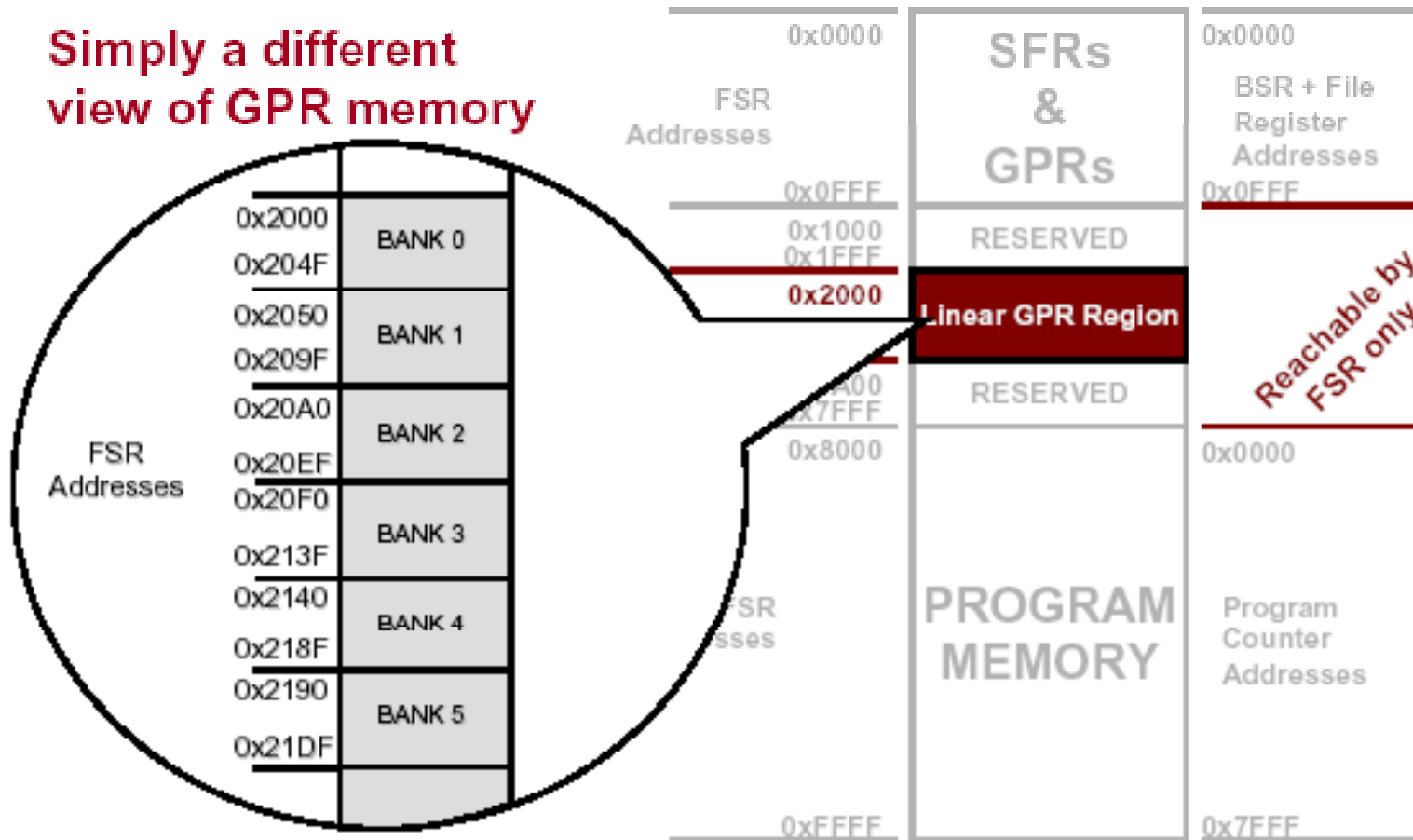
# FSR Mapa de Memoria

- Acceso a ambos espacios de Memoria de Datos y de Programa
- Un puntero de datos para TODA la Memoria
- Soportado por Nuevas Instrucciones

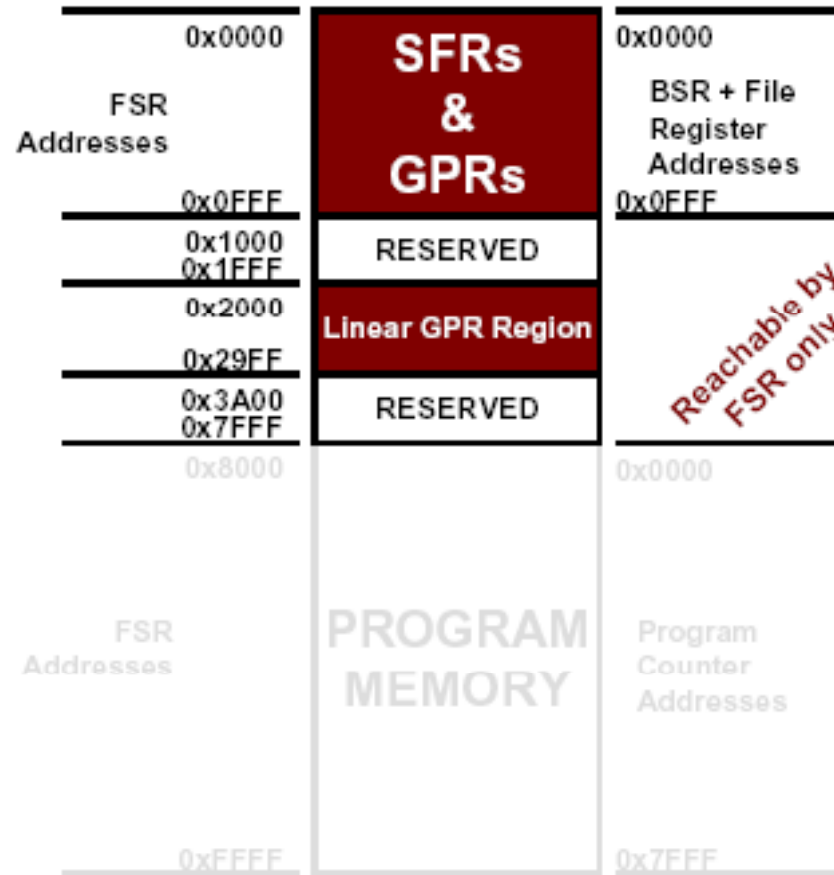
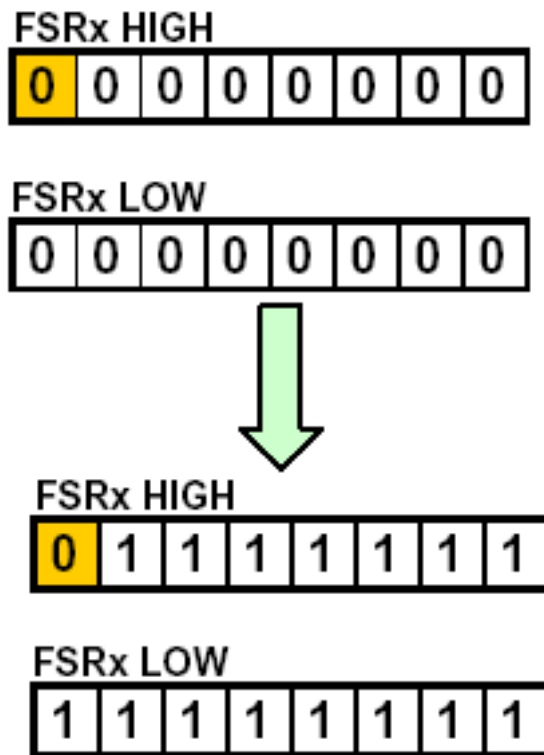


# RAM de Propósitos generales Lineal

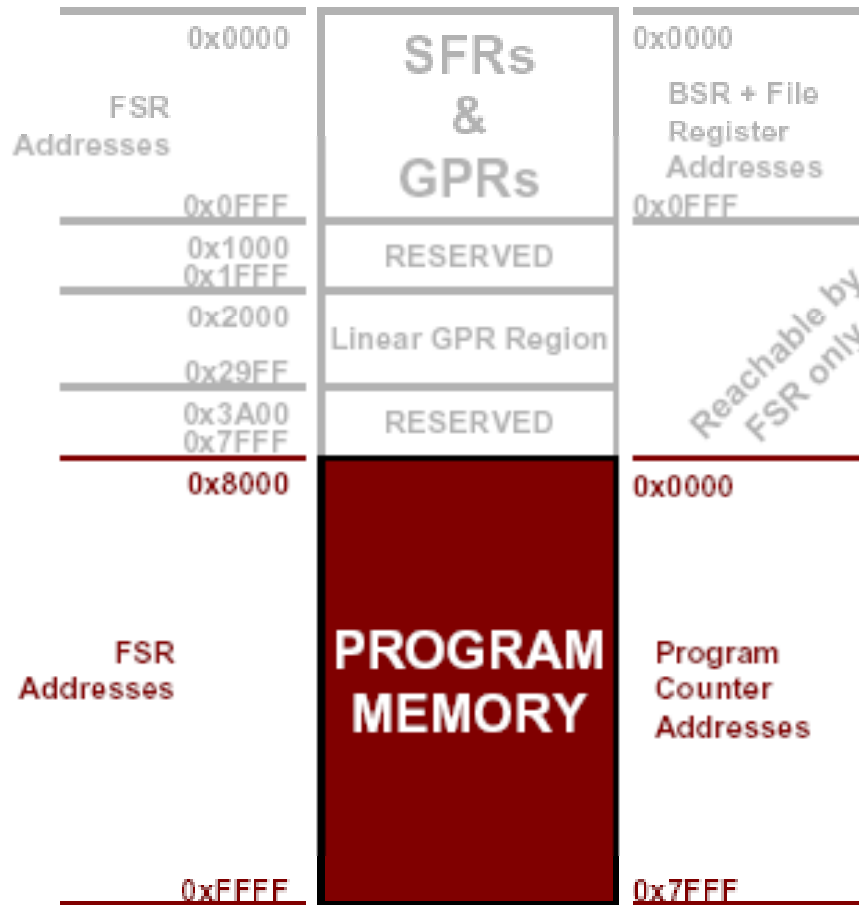
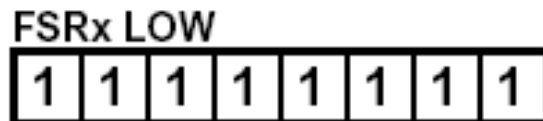
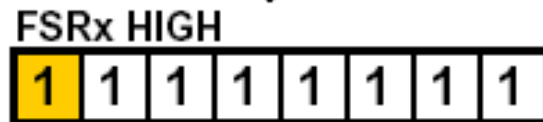
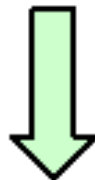
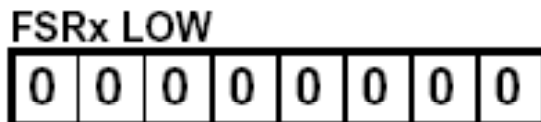
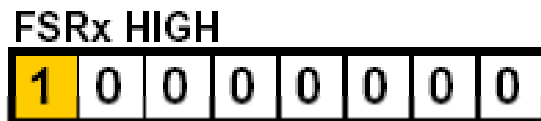
Simply a different  
view of GPR memory



# Accediendo a Memoria de Datos con los FSRs



# File Select Registers (FSR)





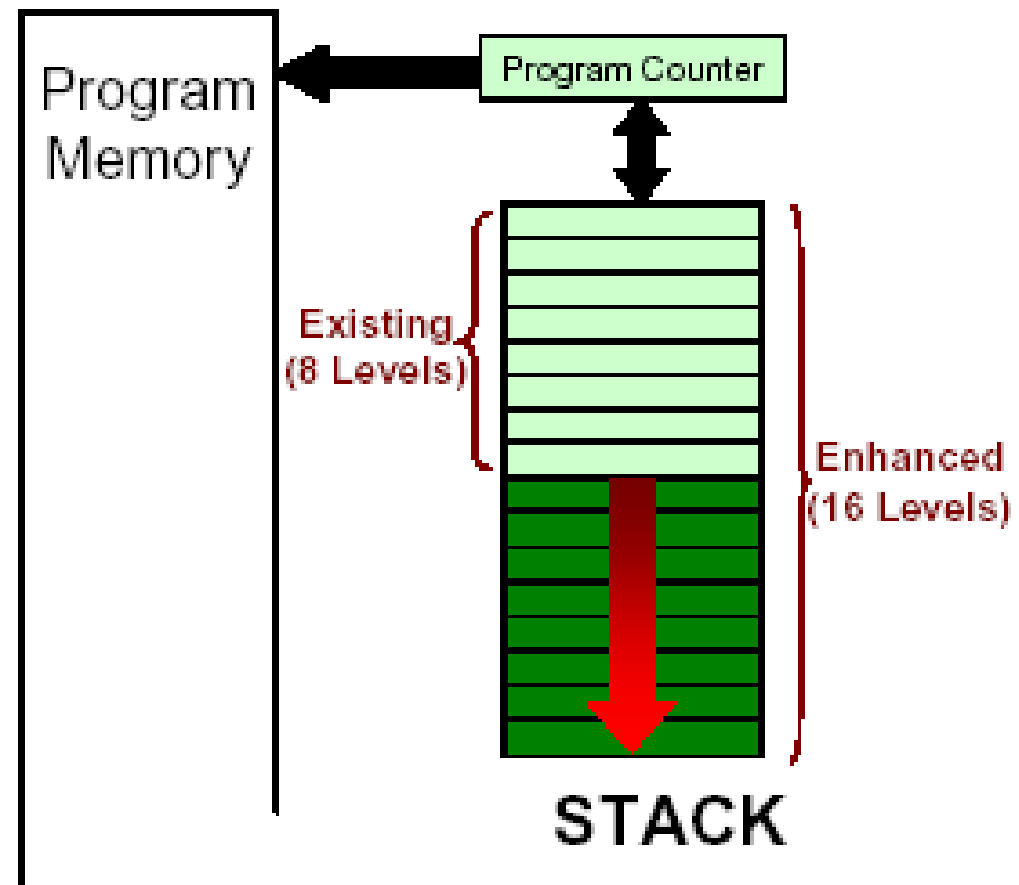
---

Centro Regional de Entrenamiento  
Argentina

# STACK del Rango Medio Mejorado

# Expansión del STACK

- **Extendido a 16 Niveles**
- **Incrementa la capacidad de anidamiento**
- **RESET Opcional por desborde hacia arriba o hacia abajo**
- **Accesible por usuario**





---

Centro Regional de Entrenamiento  
Argentina

# Migrando hacia la Arquitectura Media Mejorada



**MICROCHIP**

Centro Regional de Entrenamiento  
Argentina

# Migración

- **Consideraciones**
  - **Interrupciones**
  - **Acceso Indirecto a Memoria**
  - **Paginado**
  - **Banqueado**

# Interrupciones

- **RETFIE trabaja un poco diferente**
  - **Automaticamente recupera el contexto**

Address	Register	Function
0x00	INDF0	Indirect Register 0
0x01	INDF1	Indirect Register 1
0x02	PCL	Program Counter Low
0x03	STATUS	Status Register
0x04	FSR0 Low	File Select Register 0 Low Byte
0x05	FSR0 High	File Select Register 0 High Byte
0x06	FSR1 Low	File Select Register 1 Low Byte
0x07	FSR1 High	File Select Register 1 High Byte
0x08	BSR	Bank Select Register
0x09	WREG	Working Register
0x0A	PCLATH	Program Counter Latch High
0x0B	INTCON	Interrupt Control Register

# Interrupciones

- **El RETFIE funciona un poco diferente**
  - recupera los registros del salvado de contexto
- **Evita el uso del viejo algoritmo del salvado de contexto de los registros del nucleo del procesador**
  - Esto no afectará a su código sino solo en la pérdida de ciclos de clock



# Acceso Indirecto a Memoria

- **El Bit IRP del registro STATUS no existe más.**
- **Para acceder mas allá de los primeros 256 registros se UPDATE el registro FSRxH**
- **Método rápido: Actualización del FSRxH**
  - Requiere modificar el registro W
- **BANKISEL es portable**



# Paginado y Banqueado

- **Las Macros PAGSEL y BANSEL son portables**
  - Automáticamente usan MOVLP y MOVLB
- **PAGING**
  - Update de todo el PCLATH
  - Segura 7 bits de datos en el PCLATH
- **BANKING**
  - Reemplaza la escritura al STATUS con la escritura del BSR

# FUENTES

## WEB:

[www.microchip.com/enhanced](http://www.microchip.com/enhanced)

- PIC16F1XXX Software Migration

## Documentos:

- PIC16F193X Data Sheet

- PIC16F193X Product Brief

- PIC16F193X Programming

## Specification

- Enhanced Mid-Range Training

## Materials



---

Centro Regional de Entrenamiento  
Argentina

**MUCHAS GRACIAS !!!**

ARBS 2009